

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



PATENT  
81784.0298

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Tutomu NISHI

Serial No: 10/748,108

Filed: December 24, 2003

For: INTEGRATED CIRCUIT FOR  
OPTICAL ENCODER

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450, on

March 24, 2004

Date of Deposit

Rebecca L. Golden

Name

*Rebecca L. Golden* March 24, 2004

Signature

Date

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-379112 which was filed December 27, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON, L.L.P.

Date: March 24, 2004

By: *Anthony J. Orler*

Anthony J. Orler

Registration No. 41,232

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年12月27日

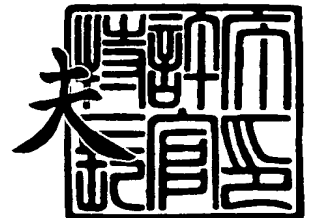
出願番号  
Application Number: 特願2002-379112  
[ST. 10/C]: [JP2002-379112]

出願人  
Applicant(s): 三洋電機株式会社

2003年11月11日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3092977

【書類名】 特許願

【整理番号】 KGA1020100

【提出日】 平成14年12月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/14

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社  
社内

【氏名】 仁志 努

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100075258

【弁理士】

【氏名又は名称】 吉田 研二

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100096976

【弁理士】

【氏名又は名称】 石田 純

【電話番号】 0422-21-2340

【手数料の表示】

【予納台帳番号】 001753

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光エンコーダ用集積回路

【特許請求の範囲】

【請求項 1】 受光素子の検出信号から位置検出信号を生成する信号処理部と、

少なくとも前記信号処理部と受光素子との間に形成され電源電位にプルアップされる帯状の電源電位層と、

前記電源電位層より上方に形成される導体層であって各々が異なる層に形成される複数の導体層と、

を備え、

前記電源電位層上を交差して受光素子と前記信号処理部とを電氣的に接続するための接続ラインが、該電源電位層の直上領域では、前記複数の導体層のうち最も下の層以外の導体層によって形成されることを特徴とする光エンコーダ用集積回路。

【請求項 2】 前記接続ラインと交差する領域における前記電源電位層の幅は、それ以外の領域の幅より狭いことを特徴とする請求項 1 に記載の光エンコーダ用集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、受光素子の検出信号から位置検出信号を生成する信号処理部を有する光エンコーダ用集積回路に関し、特に、信号処理部にその側方から光が侵入するのを抑制するために電源電位にプルアップされた電源電位層を備える集積回路に関する。

【0002】

【従来の技術】

この種の光エンコーダおよびその信号処理用の集積回路は、例えばプリンタヘッドの位置検出手段として利用される。ここで、これらの構成および動作の一例について、図面を参照して概説する。

## 【0003】

図5は、光エンコーダ用集積回路10を含むプリンタヘッドの位置検出機構12の概略構成を示す図である。この図5に示すように、位置検出機構12は、光源14、スケーラ16、受光素子アレイ18および信号処理回路20を含む。プリンタヘッド（図示せず）の移動に伴って矢印の方向に移動自在なベルト状のスケーラ16には、例えば長手方向に沿って透光部（スリット）22と遮光部24とが等間隔で交互に設けられている。そして、光源14、スケーラ16および受光素子アレイ18は、光源14からの光が透光部22を通過して受光素子アレイ18に届き、かつ遮光部24によっては遮られる位置関係に配置される。なお、図5に示すように、受光素子アレイ18および信号処理回路20は、集積回路10として統合されている。

## 【0004】

図6は、受光素子アレイ18および信号処理回路20の概略構成を示す平面図（上面図）、また図7は、図6の受光素子アレイ18の検出信号に基づいて位置検出信号を生成する信号処理回路20の概略構成図である。さて、図6の例では、受光素子アレイ18は、複数のグループ（図6では2つのグループのみ示す）に属する受光素子（例えば光ダイオード）26a, 26bからなり、それらが（図6では第一のグループに属する受光素子26aと第二のグループに属する受光素子26bとが）交互に一行に配列されてなる。なお、この列はスケーラ16の移動方向に沿っている。そして図7に示すように、受光素子26a, 26bは各グループ毎にアンプ28a, 28bで増幅され、各アンプ28a, 28bの出力がコンパレータ30で比較される。このコンパレータ30の比較結果としての出力信号に基づいて、位置検出信号が生成される。

## 【0005】

図8の（a）は、上記位置検出機構12によって生成された位置検出信号（すなわち信号処理回路20の出力）の一例をスケーラ16の構成に対応付けて示す説明図である。この図8に示すように、位置検出信号の一つは、例えば、透過部を光が透過する位置では高レベル（H）となり、また遮光部によって光が遮断される位置では低レベル（L）となる。そして、このような位置検出信号のパルス

数あるいは位相から、プリンタヘッドの原点からの移動位置や移動速度を取得することができる。

#### 【0006】

##### 【発明が解決しようとする課題】

さて、上記位置検出機構12による位置検出信号には、例えば図8の(b)に示すようなリングングノイズが混入してしまう場合があった。そして発明者の研究により、そのノイズの一因が、受光素子アレイ18と信号処理回路20とを電氣的に接続する領域から混入する電源ノイズであることが判明した。以下、これについて図面を参照して説明する。

#### 【0007】

図6に示すように、信号処理回路20の周囲には、その側方から内部への光の侵入を抑制するための電源電位層32が設けられている。この電源電位層32は、基板上に形成された帯状の層（例えばエピタキシャル成長により形成した導体に近い性質を有する層）であり、文字通り電源電位にプルアップ（電源電位が印加）されている。なお、信号処理回路20の上面全体は、その上方から内部への光の侵入を抑制するために遮光メタル層で覆われている。

#### 【0008】

図9は、図6の信号処理回路20の受光素子アレイ18側の境界領域Lを拡大して示した平面図である。また図10は、図9のA-A断面図である。これらの図から明らかなように、この領域Lでは、各受光素子26a, 26bと信号処理回路20内部とを電氣的に接続する接続ライン34が、多層構造によって構築されている。すなわち、接続ライン34は、各受光素子26a, 26bに接続される第一の導体層36と、これら第一の導体層36を受光素子26a, 26bのグループ毎に接続するための第二の導体層38と、これら二つの導体層36, 38を接続するスルーホール40と、を含んでいる。このように、第一の導体層36および第二の導体層38を異層として形成し、立体的にレイアウトすることで、接続ライン34をグループ毎に隔離している。そして、この領域では、これら第一の導体層36および第二の導体層38は、いずれも電源電位層32上に形成されている。なお、これら各層は絶縁層によって適宜隔離されているが、図9では



わかりやすくするために絶縁層を省略している。

#### 【0009】

そして図10に示すように、基板42上には、下から（基板42側から）電源電位層32、絶縁層（例えばSiO<sub>2</sub>）44、第一の導体層36、絶縁層（例えばSiO<sub>2</sub>）46、第二の導体層38、絶縁層（例えばSiO<sub>2</sub>）48、遮光メタル層50、絶縁層（例えばSiO<sub>2</sub>）52が、公知の製造プロセスによって積層されている。そして、発明者は、この構成において、第一の導体層36と電源電位層32とが絶縁層44のみを挟んで比較的近い距離に存在する点が、ノイズ混入の一要因であることに気がついた。すなわち、かかる構成において、電源ノイズが電源電位層32から第一の導体層36に伝搬し、受光素子26a, 26bからの検出信号に重畳するのである。さらに、信号処理回路20内部のアンプ28a, 28bは高ゲインのアンプであるため、ここで混入した微少なノイズは大きく増幅されてしまう。

#### 【0010】

##### 【課題を解決するための手段】

本発明にかかる光エンコーダ用集積回路は、受光素子の検出信号から位置検出信号を生成する信号処理部と、少なくとも上記信号処理部と受光素子との間に形成され電源電位にプルアップされる帯状の電源電位層と、上記電源電位層より上方に形成される導体層であって各々が異なる層に形成される複数の導体層と、を備え、上記電源電位層上を交差して受光素子と上記信号処理部とを電気的に接続するための接続ラインが、該電源電位層の直上領域では、上記複数の導体層のうち最も下の層以外の導体層によって形成される。

#### 【0011】

また、上記光エンコーダ用集積回路では、上記接続ラインと交差する領域における上記電源電位層の幅は、それ以外の領域の幅より狭いのが好適である。

#### 【0012】

##### 【発明の実施の形態】

実施の形態1. 図1は、本発明の実施の形態1にかかる光エンコーダ用集積回路に含まれる信号処理回路の受光素子アレイ18側の境界領域（すなわち図6

の領域Lに相当する部分)を拡大して示した要部平面図、また図2は、図1のB-B断面図である。なお、本実施形態にかかる光エンコーダ用集積回路は、上記領域L以外の部分では、上述したものと同様に構成することができる。したがって以下の説明においては、それら同様の構成要素については同じ符号を付し、それらについての重複する説明は省略する。

#### 【0013】

本実施形態にかかる第一の導体層36および第二の導体層38の接続形態自体は図9および図10に示したものと同様であるが、この領域の電源電位層32aの幅Wd1を他の部分の幅Wd0より細くし、第一の導体層36が電源電位層32a上にオーバーラップするのを回避している点が異なる。すなわち、本実施形態では、電源電位層32aの直上領域54(図2)には、複数の導体層のうち最も下の層(本実施形態では第一の導体層36)を配置せず、この直上領域54で電源電位層32aを交差する接続ライン34としては、最も下の層以外の層(本実施形態では第二の導体層38)を用いている。このように、本実施形態では、電源電位層32aと接続ライン34とをできるだけ遠ざけることにより、これらの間の浮遊容量を小さくし、電源電位層32aからこの浮遊容量を介して接続ライン34にノイズが混入するのを抑制しているのである。

#### 【0014】

そして本実施形態では、電源電位層32aの幅Wd1を、接続ライン34が交差する領域において、その他の部分(すなわち交差しない領域)の幅Wd0より細くしている。これにより、電源電位層32aと接続ライン34(この場合には第二の導体層38)とのオーバーラップ領域を狭くして浮遊容量をさらに小さくし、電源電位層32aから接続ライン34へのノイズの混入の更なる抑制を図っている。

#### 【0015】

実施の形態2. 図3は、本発明の実施の形態1にかかる光エンコーダ用集積回路に含まれる信号処理回路の受光素子アレイ18側の境界領域(すなわち図6の領域Lに相当する部分)を拡大して示した要部平面図、また図4は、図3のC-C断面図である。なお、本実施形態にかかる光エンコーダ用集積回路も、上記

領域 L 以外の部分では、上記実施の形態 1 と同様に構成することができる。したがって以下の説明においては、それら同様の構成要素については同じ符号を付し、それらについての重複する説明は省略する。

#### 【0016】

図 3 に示すように、第一の導体層 36 および第二の導体層 38 の接続自体は図 1, 2 に示したものと同一であるが、これらの接続構成を受光素子アレイ 18 側にスライドした位置に設けた点が異なる点である。そして、本実施形態でも、電源電位層 32b の直上領域 56 には、複数の導体層のうち最も下の層（本実施形態では第一の導体層 36）を配置せず、この直上領域 56 で電源電位層 32b を交差する接続ライン 34 としては、最も下の層以外の層（本実施形態では第二の導体層 38）を用いている。このように、本実施形態でも、電源電位層 32b と接続ライン 34 とをできるだけ遠ざけることにより、これらの間の浮遊容量を小さくし、電源電位層 32b からこの浮遊容量を介して接続ライン 34 にノイズが混入するのを抑制しているのである。

#### 【0017】

さらに本実施形態では、電源電位層 32b を、接続ライン 34 と交差する部分のみで切り欠き、その部分の電源電位層 32b の幅  $Wd2$  をその他の部分（すなわち交差しない領域）の幅  $Wd0$  より細くしている。これにより、電源電位層 32b と接続ライン 34（この場合には第二の導体層 38）とのオーバーラップ領域を狭くして浮遊容量をより小さくし、電源電位層 32a から接続ライン 34 へのノイズの混入の更なる抑制を図っている。

#### 【0018】

以上、本発明の好適な実施形態について説明したが、本発明は上記実施形態に限定されるものではない。例えば、上記実施形態では、いずれも、接続ラインとして用いられる導体層が二つである場合について示したが、これに限定されるものではなく、その導体層が三つ以上である場合にも同様の手法を適用することができる。また、接続ラインの数や導体層同士の接続構成によらず、少なくとも電源電位層より上方の層として複数の導体層が形成され電源電位層を交差する接続ラインとしてその導体層のうち少なくとも一つを用いるタイプの集積回路であれ

ば、本発明にかかる構成を採用することができる。

#### 【0019】

#### 【発明の効果】

本発明によれば、受光素子とその信号処理部とを接続する接続ラインが電源電位層を交差する部分において、電源電位層と接続ラインとの間の浮遊容量をより小さくすることができるので、電源電位層から接続ラインに電源ノイズが混入するのを抑制することができる。これにより、光エンコーダの位置検出精度の向上あるいは信号処理部や受光素子の信頼性の向上を図ることができる。

#### 【図面の簡単な説明】

【図1】 本発明の一実施形態にかかる光エンコーダ用集積回路に含まれる信号処理回路の受光素子アレイ側の境界領域を拡大して示した平面図である。

【図2】 図1のB-B断面図である。

【図3】 本発明の別の実施形態にかかる光エンコーダ用集積回路に含まれる信号処理回路の受光素子アレイ側の境界領域を拡大して示した平面図である。

【図4】 図3のC-C断面図である。

【図5】 光エンコーダ用集積回路を含むプリンタヘッドの位置検出機構の概略構成を示す図である。

【図6】 光エンコーダ用集積回路の受光素子アレイおよび信号処理回路の概略構成を示す平面図である。

【図7】 図6の受光素子アレイの検出信号に基づいて位置検出信号を生成する信号処理回路の概略構成図である。

【図8】 図5の位置検出機構による位置検出信号（すなわち信号処理回路の出力）の一例をスケーラの構成に対応付けて示す説明図である。

【図9】 図6の信号処理回路の受光素子アレイ側の境界領域を拡大して示した平面図である。

【図10】 図9のA-A断面図である。

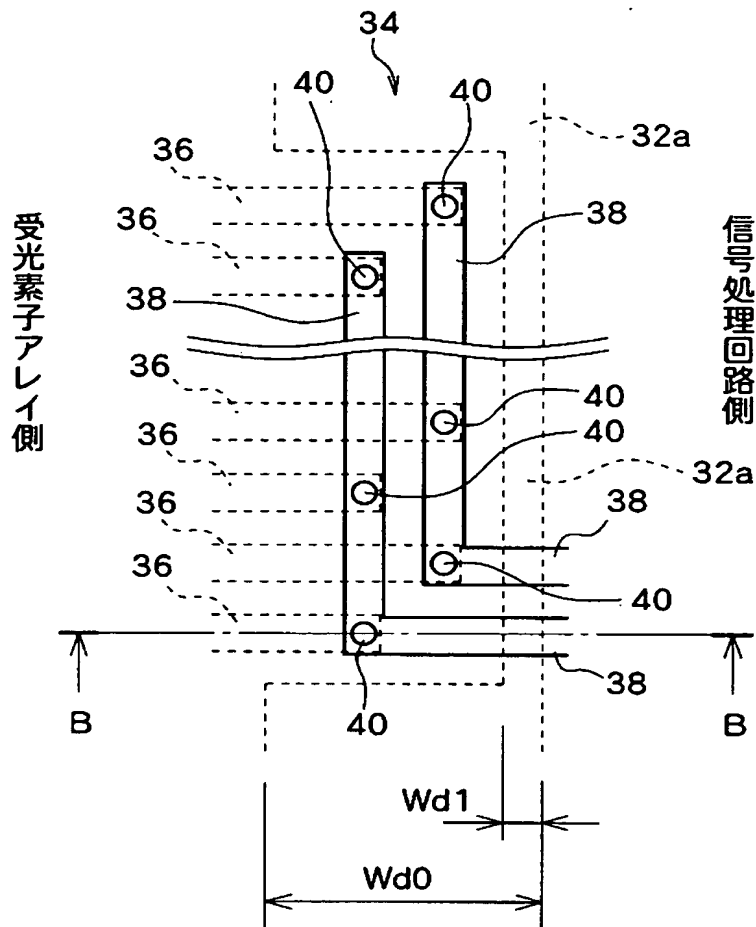
#### 【符号の説明】

10 （光エンコーダ用）集積回路、12 位置検出機構、14 光源、16 スケーラ、18 受光素子アレイ、20 信号処理回路、22 透光部、24

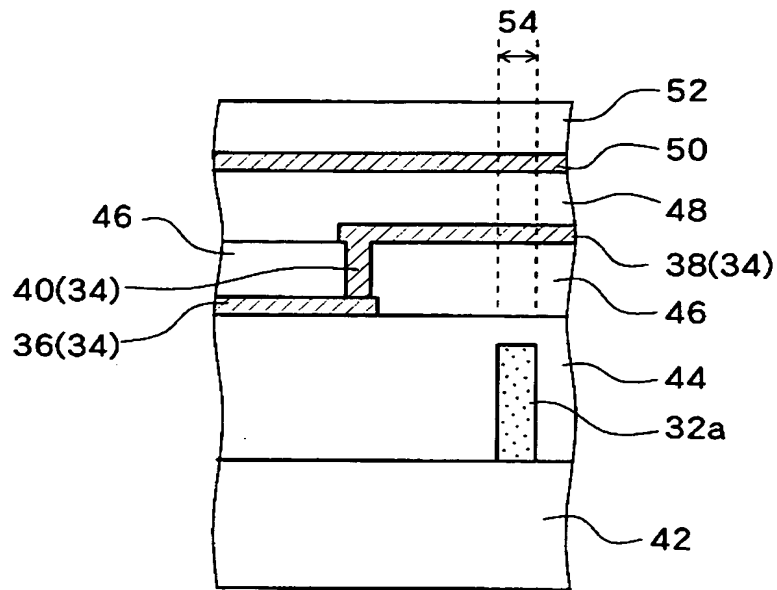
遮光部、2 6 a, 2 6 b 受光素子、2 8 a, 2 8 b アンプ、3 0 コンパ  
レータ、3 2, 3 2 a, 3 2 b 電源電位層、3 4 接続ライン、3 6 第一の  
導体層、3 8 第二の導体層、4 0 スルーホール、4 2 基板、4 4, 4 6,  
4 8, 5 2 絶縁層、5 0 遮光メタル層、5 4, 5 6 直上領域。

【書類名】 図面

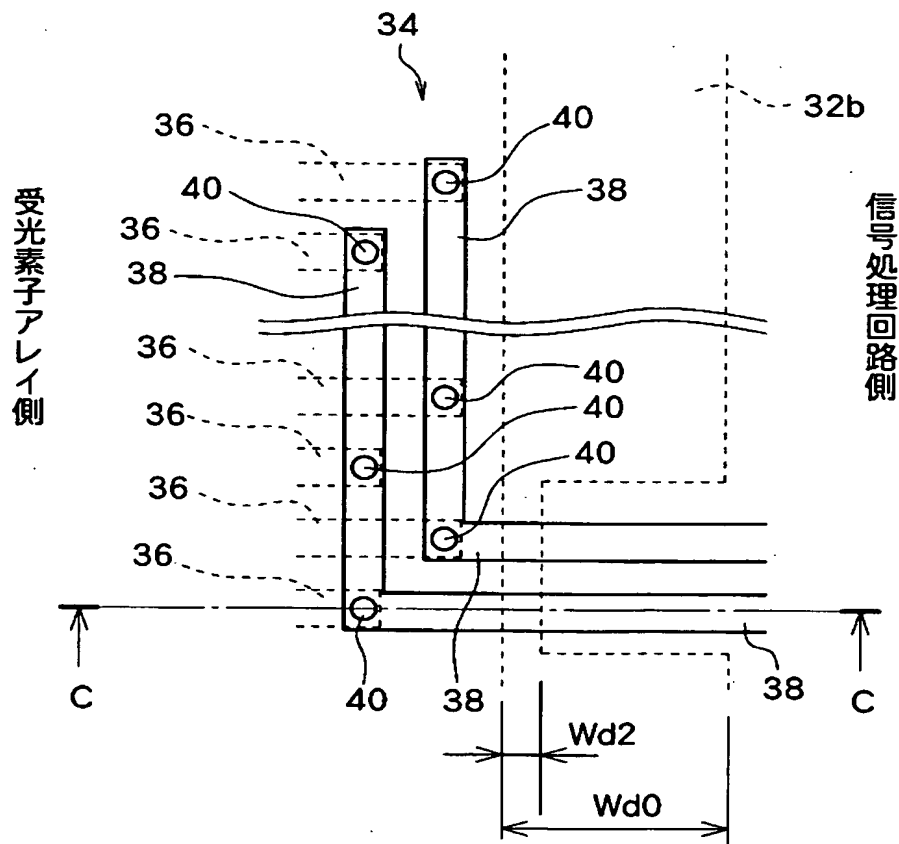
【図 1】



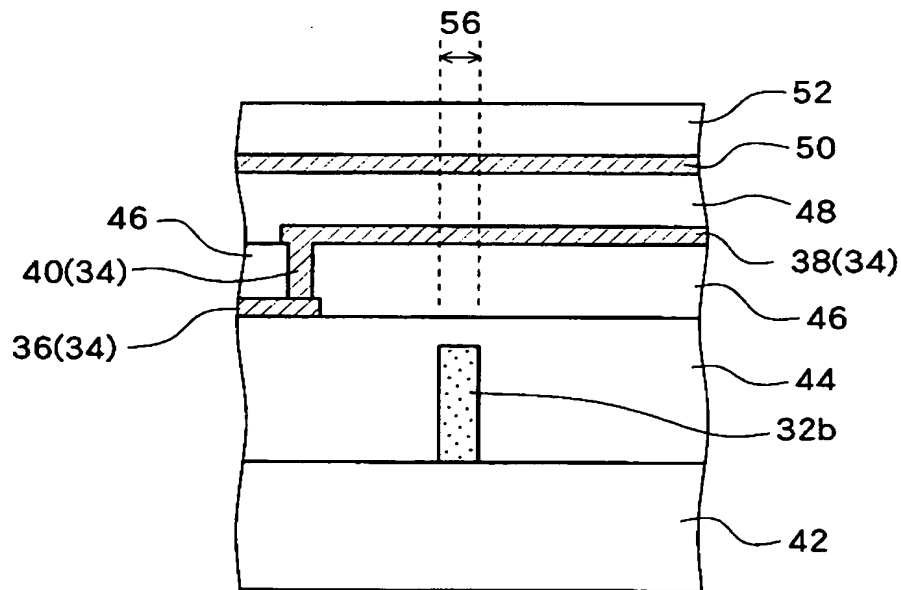
【図 2】



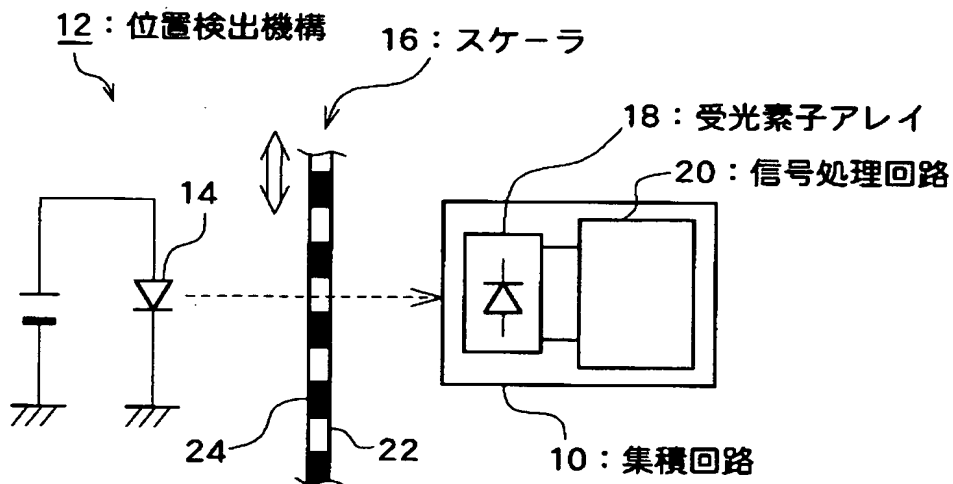
【図 3】



【図 4】

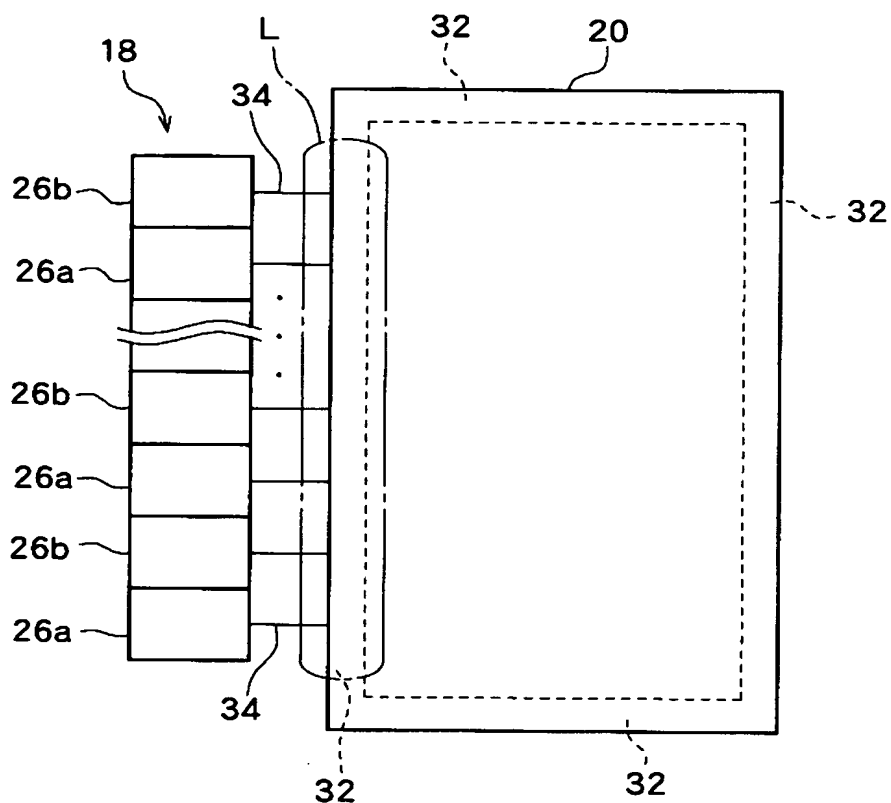


【図 5】

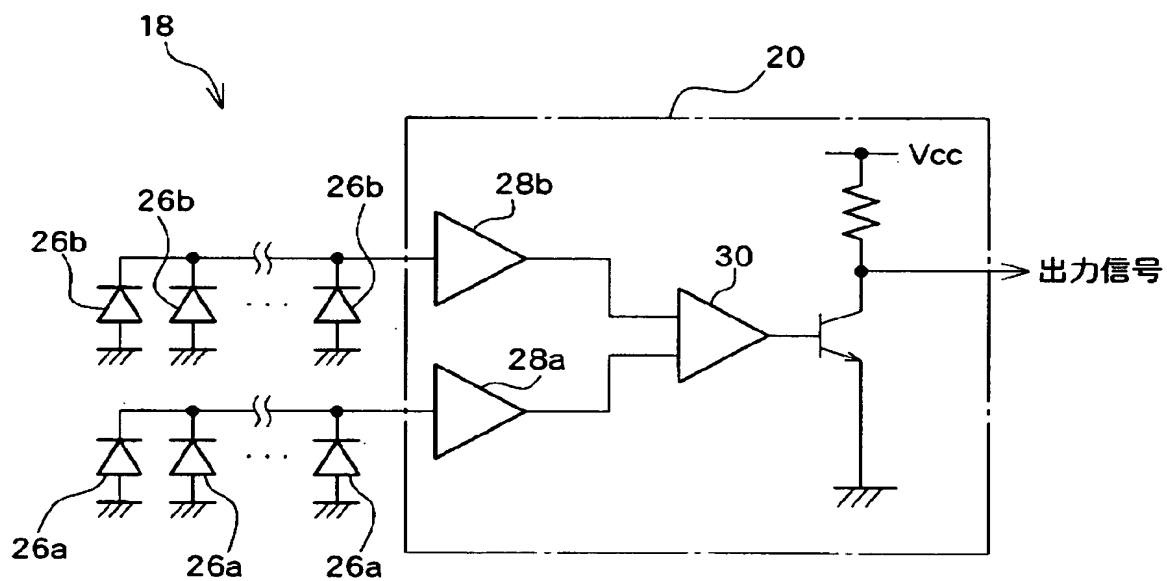




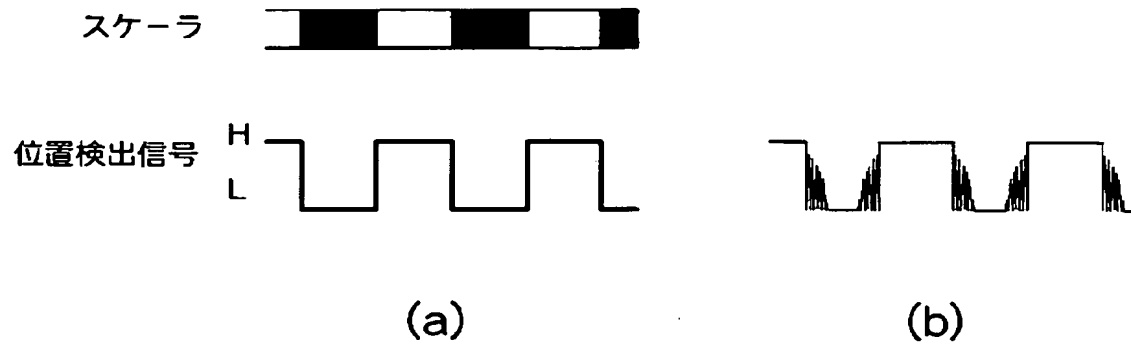
【図 6】



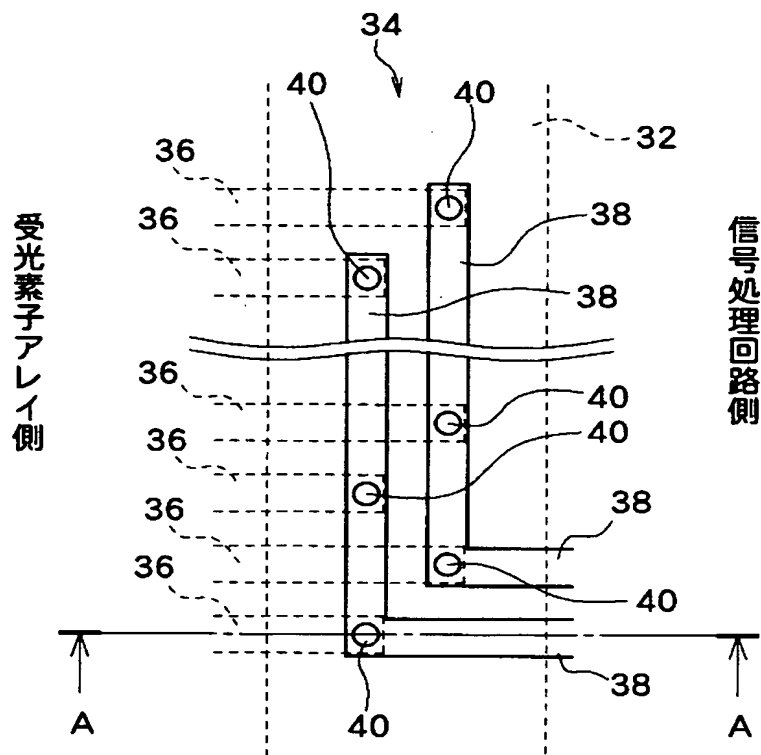
【図 7】



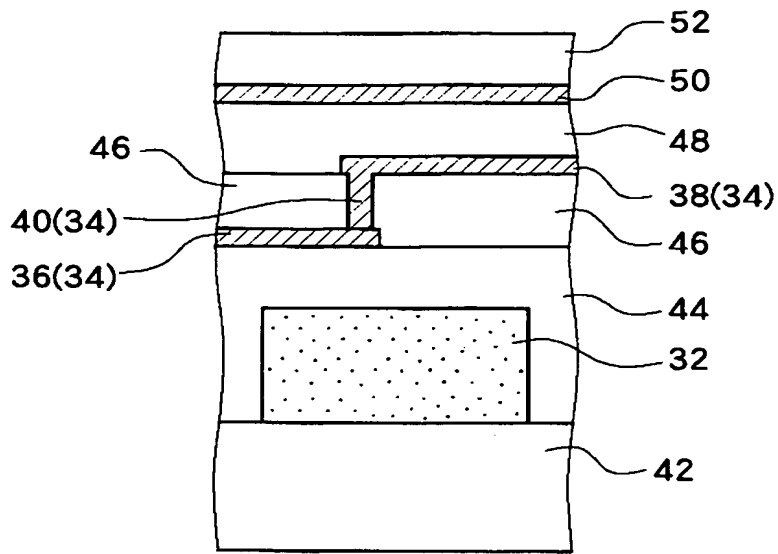
【图 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 光エンコーダによる位置検出信号のノイズを低減する。

【解決手段】 光エンコーダ用の集積回路は、受光素子の検出信号から位置検出信号を生成する信号処理部と、少なくとも信号処理部と受光素子との間に形成され電源電位にプルアップされる帯状の電源電位層 32a と、電源電位層 32a より上方に形成される導体層であって各々が異なる層に形成される複数の導体層 36, 38 と、を備え、電源電位層 32a の上を交差して受光素子と信号処理部とを電氣的に接続するための接続ライン 34 が、電源電位層 32a の直上領域 54 では、複数の導体層 36, 38 のうち最も下の層 36 以外の導体層 38 によって形成される。電源電位層 32a と接続ライン 34 とを遠ざけることで、位置検出信号に電源ノイズが混入するのが抑制される。

【選択図】 図 2

特願 2 0 0 2 - 3 7 9 1 1 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 8 8 9 ]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社